

Two channel memory system having shared control and address bus and memory modules used therefor

Patent Number: ☐ [US6414904](#)
Publication date: 2002-07-02
Inventor(s): PARK MYUN-JOO (KR); SO BYUNG-SE (KR); LEE SANG-WON (KR)
Applicant(s): SAMSUNG ELECTRONICS CO LTD (US)
Requested Patent: JP2002041444
Application
Number: US20010777547 20010206
Priority Number(s): KR20000037399 20000630
IPC Classification: G11C8/00
EC Classification: [G11C5/02S](#)
Equivalents: CN1332457, ☐ [DE10121901](#), ☐ [GB2367400](#), KR2002003015, TW538337,
☐ [US2002001214](#)

Abstract

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2002-41444

(P2002-41444A)

(13)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16	5 1 0 A 5 B 0 6 0
3/00		3/00	G
12/00	5 5 0	12/00	5 5 0 K

審査請求 未請求 請求項の数23 O L (全 9 頁)

(21)出願番号 特願2001-144891(P2001-144891)

(22)出願日 平成13年5月15日(2001.5.15)

(31)優先権主張番号 2 0 0 0 P - 3 7 3 9 9

(32)優先日 平成12年6月30日(2000.6.30)

(33)優先権主張国 韓国(KR)

(71)出願人 390019939

三星電子株式会社

大韓民国京畿道水原市八達区梅蓮洞416

(72)発明者 蘇 秉 世

大韓民国京畿道城南市盆唐区野塔洞330番地

地 コーロンアパート130棟701号

(72)発明者 朴 勉 周

大韓民国仁川市南区分道2洞109-1番地

13統2班 成泰アパートナ棟503号

(74)代理人 100086368

弁護士 萩原 誠

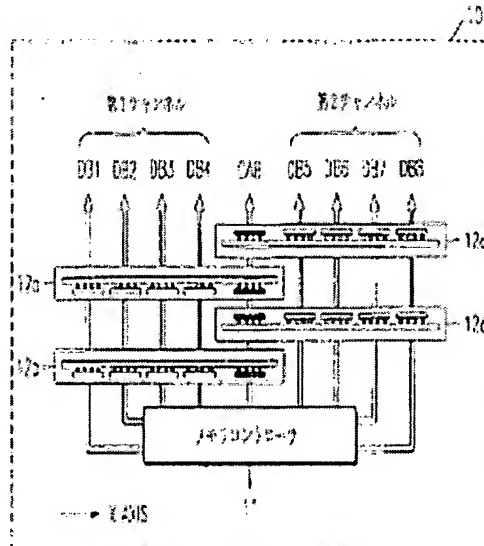
最終頁に続く

(54)【発明の名称】 メモリシステム及びメモリモジュール

(57)【要約】

【課題】 データバスの動作速度を向上させ、データバス幅の拡張による広帯域化に適したメモリシステム 及びこれに用いるメモリモジュールを提供する。

【解決手段】 メモリシステム では、第1チャンネルのデータバスと第2チャンネルのデータバスが共通制御及びアドレスバスを中心として左右側に配置される。メモリモジュールの第1群は第1チャンネルのデータバスに装着され、メモリモジュールの第2群は第2チャンネルのデータバスに装着される。全てのメモリモジュールは中央の共通制御及びアドレスバスを共有する。各メモリモジュールは、複数のメモリ装置、信号入出力部、バッファ、制御及びアドレスバスを具備し、制御及びアドレスバスを通じた信号がバッファを経て各メモリ装置に時間差をおいて入力されるようにメモリ装置がバッファの出力ラインに順次に連結される。



【特許請求の範囲】

【請求項 1】 システム ボードと、
このシステム ボード上のメモリコントローラと、
前記システム ボード上の複数のメモリモジュールと、
前記メモリコントローラから延出される共通制御及びアドレスバスと、
前記メモリコントローラから延出され、前記共通制御及びアドレスバスを中心として左側に配置される第1チャンネルのデータバスと、
前記メモリコントローラから延出され、前記共通制御及びアドレスバスを中心として右側に配置される第2チャンネルのデータバスとを具備し、
前記メモリモジュールの第1群は前記第1チャンネルのデータバスに装着され、前記メモリモジュールの第2群は前記第2チャンネルのデータバスに装着され、前記メモリモジュールの第1群及び第2群は前記共通制御及びアドレスバスを共有することを特徴とするメモリシステム。

【請求項 2】 前記メモリモジュールは一部分が互いに重なるように配置されることを特徴とする請求項 1に記載のメモリシステム。

【請求項 3】 前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールが互いに交差するように配置されることを特徴とする請求項 1に記載のメモリシステム。

【請求項 4】 前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールは同じ形態であることを特徴とする請求項 1に記載のメモリシステム。

【請求項 5】 前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールはミラー形態であることを特徴とする請求項 1に記載のメモリシステム。

【請求項 6】 前記各メモリモジュールは、
前記メモリモジュール上にマウントされる複数のメモリ装置と、
前記メモリモジュールの一边に位置し前記システム ボード上のコネクタと連結するための信号入出力部と、
前記メモリモジュール上にマウントされるバッファと、
前記信号入出力部と前記バッファとの間に連結される制御及びアドレスバスとを具備し、
前記制御及びアドレスバスを通した信号が前記バッファを経て前記各メモリ装置に時間差をおいて入力されるように前記メモリ装置が前記バッファの出力ラインに順次に連結されることを特徴とする請求項 1に記載のメモリシステム。

【請求項 7】 前記制御及びアドレスバスは、
前記信号入出力部の一つの入力ピンを通じて入力されて前記バッファを経た後、前記信号入出力部の一つの出力ピンを通じて出る短いループスルー形態であることを特徴とする請求項 6に記載のメモリシステム。

【請求項 8】 前記制御及びアドレスバスは、

前記システム ボード上の前記共通制御及びアドレスバスから分岐されるスタブ形態であることを特徴とする請求項 6に記載のメモリシステム。

【請求項 9】 前記各メモリモジュールは、
各々前記信号入出力部の入力ピンと出力ピンとの間に短いループスルー形態で形成され、少なくとも一つのメモリ装置に連結される複数のデータバスをさらに具備することを特徴とする請求項 6に記載のメモリシステム。

【請求項 10】 前記制御及びアドレスバスと前記バッファは、前記信号入出力部が位置する前記メモリモジュールの一边と垂直方向の一边近くに配置されることを特徴とする請求項 6に記載のメモリシステム。

【請求項 11】 前記メモリモジュール上に前記バッファの代りにレジスタがマウントされることを特徴とする請求項 6に記載のメモリシステム。

【請求項 12】 システム ボードと、
このシステム ボード上のメモリコントローラと、
前記システム ボード上の複数のメモリモジュールと、
前記メモリコントローラから延出される共通制御及びアドレスバスと、
前記メモリコントローラから延出され、前記共通制御及びアドレスバスの方向と同じ方向に左右交代に一つずつ配置される第1チャンネルのデータバス及び第2チャンネルのデータバスとを具備し、
前記メモリモジュールの第1群は前記第1チャンネルのデータバスに装着され、前記メモリモジュールの第2群は前記第2チャンネルのデータバスに装着され、前記メモリモジュールの第1群及び第2群は前記共通制御及びアドレスバスを共有し、前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールが前後交代に一つずつ一列で配置されることを特徴とするメモリシステム。

【請求項 13】 前記各メモリモジュールは、
前記メモリモジュール上にマウントされる複数のメモリ装置と、
前記メモリモジュールの一边に位置し、前記システム ボード上のコネクタと連結するための信号入出力部と、
前記メモリモジュール上にマウントされるバッファと、
前記信号入出力部と前記バッファとの間に連結される制御及びアドレスバスと、
各々前記信号入出力部の入力ピンと出力ピンとの間に短いループスルー形態で形成され、少なくとも一つのメモリ装置に連結される複数のデータバスとを具備し、
前記メモリ装置が前記バッファの出力ラインに連結されることを特徴とする請求項 12に記載のメモリシステム。

【請求項 14】 前記制御及びアドレスバスは、
前記信号入出力部の一つの入力ピンを通じて入力されて前記バッファを経た後、前記信号入出力部の一つの出力ピンを通じて出る短いループスルー形態であることを特徴

徴とする請求項 13に記載のメモリシステム。

【請求項 15】 前記制御及びアドレスバスは、前記システム ボード上の前記共通制御及びアドレスバスから分岐されるスタブ形態であることを特徴とする請求項 13に記載のメモリシステム。

【請求項 16】 前記制御及びアドレスバスと前記バッファは、前記メモリモジュールの中央近くに配置されることを特徴とする請求項 13に記載のメモリシステム。

【請求項 17】 前記メモリモジュール上に前記バッファの代りにレジスタがマウントされることを特徴とする請求項 13に記載のメモリシステム。

【請求項 18】 メモリモジュールにおいて、前記メモリモジュール上にマウントされる複数のメモリ装置と、

前記メモリモジュールの一边に位置しシステム ボード上のコネクタと接続するための信号入出力部と、

前記メモリモジュール上にマウントされるバッファと、前記信号入出力部と前記バッファとの間に接続される制御及びアドレスバスとを具備し、

前記制御及びアドレスバスを通した信号が前記バッファを経て前記各メモリ装置に時間差をおいて入力されるように前記メモリ装置が前記バッファの出力ラインに順次に接続されることを特徴とするメモリモジュール。

【請求項 19】 前記制御及びアドレスバスは、前記信号入出力部の一つの入力ピンを通じて入力されて前記バッファを経て、前記信号入出力部の一つの出力ピンを通じて出る短いループスルー形態であることを特徴とする請求項 18に記載のメモリモジュール。

【請求項 20】 前記制御及びアドレスバスは、前記システム ボード上の制御及びアドレスバスから分岐されるスタブ形態であることを特徴とする請求項 18に記載のメモリモジュール。

【請求項 21】 前記各メモリモジュールは、各々前記信号入出力部の入力ピンと出力ピンとの間に短いループスルー形態で形成され、少なくとも一つのメモリ装置に接続される複数のデータバスをさらに具備することを特徴とする請求項 18に記載のメモリモジュール。

【請求項 22】 前記制御及びアドレスバスと前記バッファは、前記信号入出力部が位置する前記メモリモジュールの一边と垂直方向の一边近くに配置されることを特徴とする請求項 18に記載のメモリモジュール。

【請求項 23】 前記メモリモジュール上に前記バッファの代りにレジスタがマウントされることを特徴とする請求項 18に記載のメモリモジュール。

れるメモリモジュールに関する。

【0002】

【従来の技術】 いままでメモリ装置は主に高集積化及びこれに基づいた大容量化に重点をおいて発展してきており、一方、コンピュータシステムの中心となる中央処理装置は主に高速化に重点をおいて発展してきた。その結果、コンピュータシステムで中央処理装置とメモリ装置との動作速度の差が益々大きくなり、最近ではメモリ装置の動作速度がコンピュータシステム全体の性能を制限する主要因になっている。

【0003】 これによりコンピュータシステムの動作速度を向上させるために高速メモリ装置についての研究だけでなく高性能メモリシステムに対する研究が続いている。

【0004】

【発明が解決しようとする課題】 高性能メモリシステムとは、単位時間当り多くのデータを入出力できるメモリ構成方法を意味する。メモリシステムの高速化のためには何よりもまず高速メモリ装置が開発されねばならないが、これと共にメモリ装置と外部とを接続する入出力インタフェースを高速化できるメモリモジュール及びバスの構造も非常に重要である。いいかえれば、バスの配置技術及びバス上にメモリ装置を装着するために使われるメモリモジュールの構成技術が非常に重要である。

【0005】 一方、単位時間当りメモリ装置から入出力されるデータ量を示す帯域幅はデータバスの幅とメモリ装置及びデータバスの動作速度に依存する。データバス幅はシステムメモリ領域の物理的な面積やバス線路の空間的な配置に制限され、データバスの動作速度はデータバスの電気的な高周波特性により左右される。したがって帯域幅を向上させるためには、すなわち、メモリシステムの高速化のためにはコンピュータシステム内でメモリ領域に割当てられた限定された空間を最大限利用して高周波で問題視されるいろいろな電気的な特性を満足できる方法が研究されねばならない。

【0006】 従って本発明は、データバスの動作速度を向上させ、データバス幅を容易に拡張させるメモリシステムを提供することを目的とする。さらに本発明は、データバスの動作速度を向上させ、データバス幅を容易に拡張させるメモリモジュールを提供することを他の目的とする。

【0007】

【課題を解決するための手段】 本発明の一態様に係るメモリシステムは、システムボードと、このシステムボード上のメモリコントローラと、このシステムボード上の複数のメモリモジュールと、前記メモリコントローラから延出される共通制御及びアドレスバスと、前記メモリコントローラから延出され、前記共通制御及びアドレスバスを中心として左側に配置される第1チャンネルのデータバスと、前記メモリコントローラから延出され、前

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はメモリシステム及びメモリモジュールに係り、特に制御及びアドレスバスを共有する2チャンネルメモリシステム及びこれに採用さ

記共通制御及びアドレスバスを中心として右側に配置される第2チャンネルのデータバスとを具備することを特徴とする。

【0008】特に、前記メモリモジュールの第1群は前記第1チャンネルのデータバスに装着され、前記メモリモジュールの第2群は前記第2チャンネルのデータバスに装着され、前記メモリモジュールの第1群及び第2群は前記共通制御及びアドレスバスを共有する。

【0009】前記メモリモジュールは一部分が互いに重なるように配置され、前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールが互いに交差するように配置される。前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールは同じ形態、またはミラー形態である。

【0010】本発明の他の態様に係るメモリシステムは、システムボードと、このシステムボード上のメモリコントローラと、前記システムボード上の複数のメモリモジュールと、前記メモリコントローラから延出される共通制御及びアドレスバスと、前記メモリコントローラから延出され、前記共通制御及びアドレスバスの方向と同じ方向に左右交代に一つずつ配置される第1チャンネルのデータバス及び第2チャンネルのデータバスとを具備することを特徴とする。

【0011】特に、前記メモリモジュールの第1群は前記第1チャンネルのデータバスに装着され、前記メモリモジュールの第2群は前記第2チャンネルのデータバスに装着され、前記メモリモジュールの第1群及び第2群は前記共通制御及びアドレスバスを共有し、前記第1群に属するメモリモジュールと前記第2群に属するメモリモジュールが前後交代に一つずつ一列で配置される。

【0012】本発明に係るメモリモジュールは、前記メモリモジュール上にマウントされる複数のメモリ装置と、前記メモリモジュールの一端に位置し前記システムボード上のコネクタと連結するための信号入出力部と、前記メモリモジュール上にマウントされるバッファと、前記信号入出力部と前記バッファとの間に連結される制御及びアドレスバスとを具備し、前記制御及びアドレスバスを通じた信号が前記バッファを経て前記各メモリ装置に時間差をおいて入力されるように前記メモリ装置が前記バッファの出力ラインに順次に連結されることを特徴とする。

【0013】前記制御及びアドレスバスは、前記信号入出力部の一つの入力ピンを通じて入力されて前記バッファを経た後、前記信号入出力部の一つの出力ピンを通じて出る短いループスルー形態で形成されたり、または前記システムボード上の制御及びアドレスバスから分岐されるスタブ形態で形成される。

【0014】また、前記各メモリモジュールは、各々前記信号入出力部の入力ピンと出力ピンとの間に短いループスルー形態で形成され、少なくとも一つのメモリ装置

に連結される複数のデータバスをさらに具備する。

【0015】前記制御及びアドレスバスと前記バッファは、前記信号入出力部が位置する前記メモリモジュールの一端と垂直方向の一端近くに配置される。また、前記メモリモジュール上に前記バッファの代りにレジスタがマウントされる。

【0016】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施の形態を説明することによって、本発明を詳細に説明する。各図面に提示された同じ参照符号は同じ部材を示す。

【0017】図1は、本発明の第1実施形態に係るメモリシステムを示す図面である。図1を参照すれば、本発明の第1実施形態に係るメモリシステムでは、システムボード10上の所定の位置にメモリコントローラ11が装着され、このメモリコントローラ11から共通制御及びアドレスバスCABが延出される。いしかえれば、第1チャンネルのデータバスDB1ないしDB4がメモリコントローラ11から延出されて共通制御及びアドレスバスCABを中心として左側に配置される。第2チャンネルのデータバスDB5ないしDB8がメモリコントローラ11から延出され、共通制御及びアドレスバスCABを中心として右側に配置される。メモリモジュールの第1群12a、12bは第1チャンネルのデータバスDB1ないしDB4に装着され、メモリモジュールの第2群12c、12dは第2チャンネルのデータバスDB5ないしDB8に装着される。

【0018】これにより本発明の第1実施形態に係るメモリシステムでは、システムボード10上でのデータバス幅がメモリモジュール上でのデータバス幅の2倍となる。したがって比較的小型のメモリモジュールを使用して広域メモリシステムの構成が可能である。

【0019】また本発明の第1実施形態に係るメモリシステムでは、すべてのメモリモジュール12a、12b、12c、12dが中央に位置する共通制御及びアドレスバスCABを共有する。このように第1チャンネル及び第2チャンネルに装着されるすべてのメモリモジュールが共通制御及びアドレスバスCABを共有する場合は、各チャンネルが独立的な制御及びアドレスバスを有する場合に比べてメモリコントローラ11のピン数とシステムボード10上のバス線路数を減少させ、これによりシステムボード10上の線路配置も簡便になる長所がある。

【0020】システム動作時にメモリモジュール12a、12b、12c、12d上のメモリ装置をアドレスシグンするためのアドレス信号とメモリ装置を制御するための制御信号、例えば命令が制御及びアドレスバスCABを通じてメモリコントローラ11からメモリモジュール12a、12b、12c、12dに伝達される。データ信号は第1チャンネルのデータバスDB1ないしDB4及び第2チャンネルのデータバスDB5ないしDB8を通じてメモリコ

ントローラ 11 からメモリモジュール 12a、12b、12c、12d に、またはメモリモジュール 12a、12b、12c、12d からメモリコントローラ 11 に伝送される。

【0021】一方、本発明の第 1 実施形態に係るメモリシステムで、メモリモジュール 12a、12b、12c、12d は制御及びアドレスバス CAB と連結される部分が互いに重なるように配置され、第 1 群に属するメモリモジュール 12a、12b と第 2 群に属するメモリモジュール 12c、12d が互いに交差するように配置される。これによりメモリシステムが占める X 軸方向の大きさが減少してシステム内の制限された領域内にメモリシステムが適切に配置される長所がある。また高速で動作する時に多くの熱が発生するデータバス領域ではメモリモジュール間に充分の間隔が確保されることによって、熱放出がより容易な長所がある。

【0022】図 2 は、図 1 に示したメモリモジュールの詳細図面であって本発明に係るメモリモジュールを示す図面である。図 2 を参照すれば、本発明に係るメモリモジュール 12 は、複数のメモリ装置 20a ないし 20d、タブ 21、複数のデータバス MDB1 ないし MDB4、制御及びアドレスバス MCAB、及びバッファ 22 を具備する。

【0023】メモリ装置 20a ないし 20d はメモリモジュール 12 上の所定の位置にマウントされ、データバス MDB1 ないし MDB4 は短いループスルー形態で形成されタブ 21 とメモリ装置 20a ないし 20d との間に連結される。タブ 21 は信号入出力部であってメモリモジュール 12 の一辺に位置し、システムボード上のコネクタと連結するためのものである。

【0024】メモリモジュール 12 が図 1 に示したメモリシステムに装着される場合に、メモリモジュール 12 上のデータバス MDB1 ないし MDB4 は、システムボード 10 上の第 1 チャンネルのデータバス DB1 ないし DB4 または第 2 チャンネルのデータバス DB5 ないし DB8 に連結される。またメモリモジュール 12 上の制御及びアドレスバス MCAB はシステムボード 10 上の共通制御及びアドレスバス CAB に連結される。

【0025】制御及びアドレスバス MCAB とバッファ 22 はタブ 21 が位置する一辺と垂直方向の一辺(図 2 では右側辺)近くに配置され、制御及びアドレスバス MCAB は短いループスルー形態で形成されタブ 21 とバッファ 22 との間に連結される。バッファ 22 の出力端にはバスラインまたはスタブ MCAB2 が連結される。メモリ装置 20a ないし 20d は、制御及びアドレスバス MCAB を通した信号がバッファ 22 を経て各メモリ装置 20a ないし 20d に一定の時間差をおいて入力されるように、バスラインまたはスタブ MCAB2 に順次に連結される。バッファ 22 は、制御及びアドレスバス MCAB を通した信号の忠実度を向上させるためのものであってバッファ 22 の代わりにレジスタが使われる。

【0026】これにより本発明に係るメモリモジュールでは、システム動作時にメモリ装置 20a ないし 20d が一定の時間差をおいて順次に動作することによって、メモリ装置 20a ないし 20d が同時にデータを出力する時に示される高周波共通スイッチング雑音が緩和されて高速動作特性が改善される。

【0027】一方、図 2 に示したメモリモジュールでは制御及びアドレスバス MCAB が短いループスルー形態で形成された場合が示されたが、制御及びアドレスバス MCAB はスタブ形態で形成されうる。短いループスルー形態の制御及びアドレスバス MCAB では、図 2 で分かるように、バス線路がタブ 21 の一つの入力ピンを通じてメモリモジュール 12 に入力されてバッファ 22 を経た後、タブ 21 の一つの出力ピンを通じて再び出る形態を有する。一方スタブ形態の制御及びアドレスバスでは、制御及びアドレスバスの役割をするスタブがタブ 21 とバッファ 22 との間に連結され、メモリモジュールが図 1 に示したメモリシステムに装着される場合にメモリモジュール上の制御及びアドレススタブは、システムボード 10 上の共通制御及びアドレスバス CAB から分岐された形態を有する。

【0028】また図 1 に示した本発明の第 1 実施形態に係るメモリシステム及び図 2 に示したメモリモジュールでは短いループスルー形態のデータバス構造が採用される。短いループスルー形態のデータバス構造では、図 1 のデータバス DB1 ないし DB8 の矢印で示したように各メモリモジュール 12a、12b、12c、12d を横切る方向にデータの流れがなされる。この時に各メモリモジュールでは図 2 で分かるようにバス線路が一応メモリモジュール 12 に入力されてメモリ装置 20a ないし 20d を経た後また出て、この過程でタブ 21 の一つの入力ピンと一つの出力ピンを経る。

【0029】一方、前述したように本発明の第 1 実施形態に係るメモリシステムでは、第 1 チャンネルに連結される第 1 群のメモリモジュール 12a、12b と第 2 チャンネルに連結される第 2 群のメモリモジュール 12c、12d が一つの共通制御及びアドレスバス CAB を共有し、また共通制御及びアドレスバス CAB を中心として左右側で互いに対称になるように配置される。これにより図 2 に示したタブ 21 のピン順序が第 1 群のメモリモジュール 12a、12b と第 2 群のメモリモジュール 12c、12d で互いに反対方向に配列される。これによってメモリモジュール 12a、12b、12c、12d の制御及びアドレスバス MCAB のための入出力ピンがバス方向に並べて配置されなくなるとバス配線に問題が発生する。

【0030】このような問題を解決するためにモジュールの左右が入れ替わった形態のミラーイメージ型モジュールを別途に設計して使用できる。しかし 2 つの形態のモジュールを設計し生産することはコストが上昇する等の短所がある。従って一形態のメモリモジュールだけが

使用できるように本発明では図3に示したようなボード配線方法が用いられる。

【0031】図3は、図1に示した本発明の第1実施形態に係るメモリシステム のボード配線方法を示す図面である。ここで参照番号10はシステム ボードを示し、参照番号22aないし22dはモジュールソケットが装着される領域を示す。

【0032】図3を参照すれば、データバスDB1ないしDB8は直線形態で配線され、これに対して共通制御及びアドレスバスCABは左右に交代に往復して進行する形態で配線される。このような配線を可能にするために図2に示したメモリモジュールで制御及びアドレスバスMCABの入力ピンと出力ピンがバッファ22を中心として互いに反対側に位置するように配置される。

【0033】これによりメモリモジュール、例えば領域22dに装着されるメモリモジュールでの制御及びアドレスバスMCABの出力ピンが反対方向のピン配列を有する次のメモリモジュール、例えば領域22aに装着されるメモリモジュールでの制御及びアドレスバスMCABの入力ピンと同じ地点に位置する。またシステム ボード10上では、図3に示したように二つのモジュールでの制御及びアドレスバスMCABの出力ピンと制御及びアドレスバスMCABの入力ピンとが互いに直線線路で連結される。

【0034】したがって、前述したような配線方法によって図1に示した本発明の第1実施形態に係るメモリシステム に一形態のメモリモジュールが使われる。

【0035】図4は、本発明の第2実施形態に係るメモリシステム を示す図面である。図4を参照すれば、本発明の第2実施形態に係るメモリシステム では、システム ボード40上の所定の位置にメモリコントローラ41が装着され、メモリコントローラ41から共通制御及びアドレスバスCABが延出される。また第1チャンネルのデータバスDB1ないしDB4及び第2チャンネルのデータバスDB5ないしDB8がメモリコントローラ41から延出され、共通制御及びアドレスバスCABの方向と同じ方向に左右交代に一つずつ配置される。メモリモジュールの第1群42a、42cは第1チャンネルのデータバスDB1ないしDB4に装着され、メモリモジュールの第2群42b、42dは第2チャンネルのデータバスDB5ないしDB8に装着される。

【0036】これにより本発明の第2実施形態に係るメモリシステム では、第1実施形態に係るメモリシステム と同じくシステム ボード40上でのデータバス幅がメモリモジュール上でのデータバス幅の2倍となる。したがって比較的小型のメモリモジュールを使用して広帯域メモリシステム の構成が可能である。

【0037】また本発明の第2実施形態に係るメモリシステム では、すべてのメモリモジュール42a、42b、42c、42dが中央に位置する共通制御及びアドレスバスCABを共有する。また第1群に属するメモリモジュール、すなわち、第1チャンネルのデータバスDB1ないしDB4に装着されるメモリモジュール42a、42cと第2群に属するメモリモジュール、すなわち、第2チャンネルのデータバスDB5ないしDB8に装着されるメモリモジュール42b、42dが前後交代に一つずつ一列で配置される。

【0038】これにより本発明の第2実施形態に係るメモリシステム では、第1実施形態に係るメモリシステム と同じくメモリコントローラ41のピン数とシステム ボード40上のバス線路数が減少する。またすべてのメモリモジュール42a、42b、42c、42dが一列で配置されるので、メモリシステム が占めるX軸方向の大きさが減少してシステム が占める面積が非常に小さく、システム ボード40上の線路配置も簡単になる長所がある。

【0039】一方、図4に示した第2実施形態に係るメモリシステム では、すべてのメモリモジュール42a、42b、42c、42dが一列に配置されるので、図1に示した第1実施形態に係るメモリシステム に比べてメモリモジュール上の制御及びアドレスバスがその構造に対する制限をあまり受けない。図4に示した第2実施形態に係るメモリシステム では、第1実施形態と同じくデータバスと制御及びアドレスバスが短いループスルー形態で形成されるメモリモジュールと、データバスが短いループスルー形態で形成され、制御及びアドレスバスがスタブ形態で形成されるメモリモジュールが選択的に使われる。しかし、図4に示した第2実施形態に係るメモリシステム に使われるメモリモジュールでは、制御及びアドレスバスとバッファが図2に示したメモリモジュールと違ってモジュールの中央近くに配置される。

【0040】図5は、図4に示した本発明の第2実施形態に係るメモリシステム のボード配線方法を示す図面であって、SoDIMM(Small Out-Line Dual In-Line Memory Module)で使われるSMD(Surface Mounting Device)型のソケットを使用した場合である。図6は、図4に示した本発明の第2実施形態に係るメモリシステム の他のボード配線方法を示す図面であって、一般的に使われるDIMM(Dual In-Line Memory Module)のスルーホールソケットを使用した場合である。ここで参照番号52aないし52d、62aないし62dは、システム ボード上でモジュールソケットが装着される領域を示す。

【0041】SoDIMM型はSMD構造により高周波での電気的な特性に優れ、サイズが小さな長所がある。スルーホール型はサイズが大きい短所がある一方でサイズが大きいためにSoDIMM型ソケットを使用する場合に比べてシステム ボード上での配線をよりゆっくり行える長所がある。

【0042】以上の図面と明細書で最適実施形態が開示された。ここで特定の用語が使われたが、これは単に本発明を説明するための目的で使われたものであって、意味限定や特許請求の範囲に記載された本発明の範囲を制

限するために使われたものではない。したがって本技術分野の通常の知識を有する者であればこれより多様な変形及び均等な他の実施形態が可能であることを理解するはずである。したがって、本発明の技術的保護範囲は特許請求の範囲の技術的思想により決まるべきである。

【0043】

【発明の効果】以上のように本発明に係るメモリモジュールとこれを採用する本発明に係るメモリシステムは、データバスの動作速度を向上させられ、データバス幅の拡張による広帯域化に適した長所がある。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るメモリシステムを示す図。

【図2】 図1に示したメモリモジュールの詳細図面である。

って、本発明に係るメモリモジュールを示す図。

【図3】 図1に示した本発明に係るメモリシステムのボード配線方法を示す図。

【図4】 本発明の第2実施形態に係るメモリシステムを示す図。

【図5】 図4に示した本発明の第2実施形態に係るメモリシステムのボード配線方法を示す図。

【図6】 図4に示した本発明の第2実施形態に係るメモリシステムの他のボード配線方法を示す図。

【符号の説明】

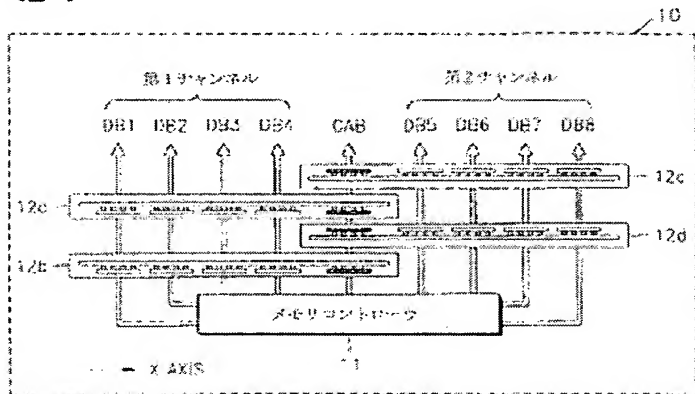
10 システムボード

11 メモリコントローラ

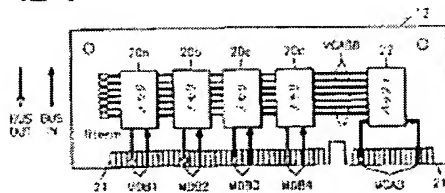
12a、12b メモリモジュールの第1群

12c、12d メモリモジュールの第2群

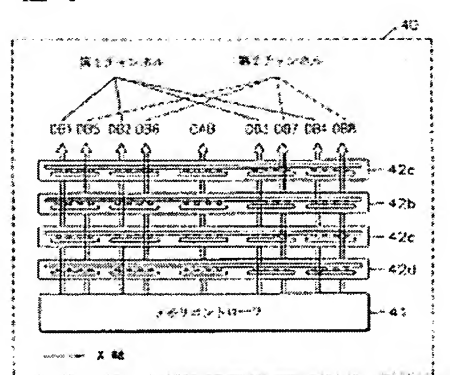
【図1】



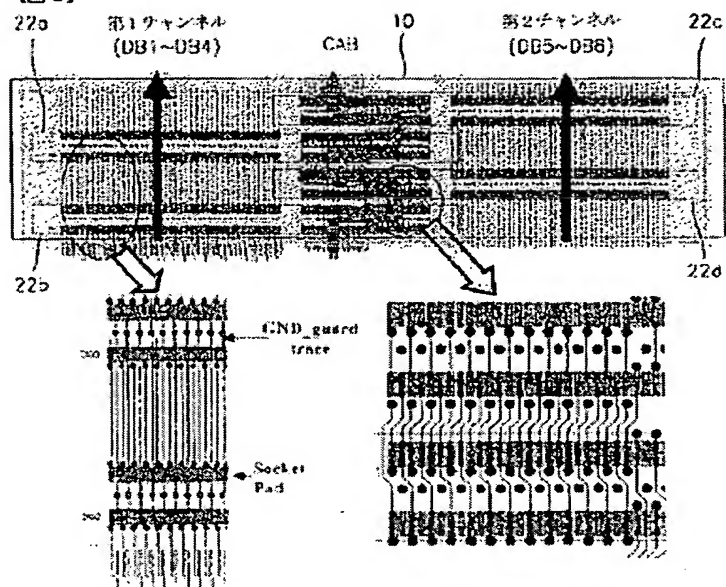
【図2】



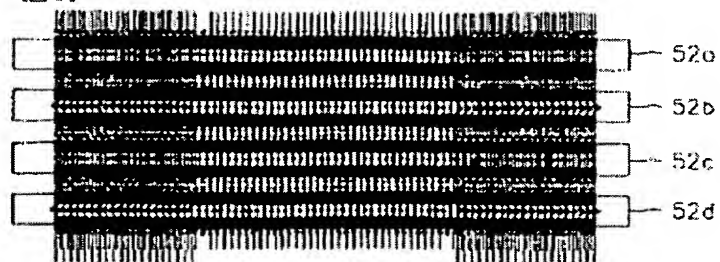
【図4】

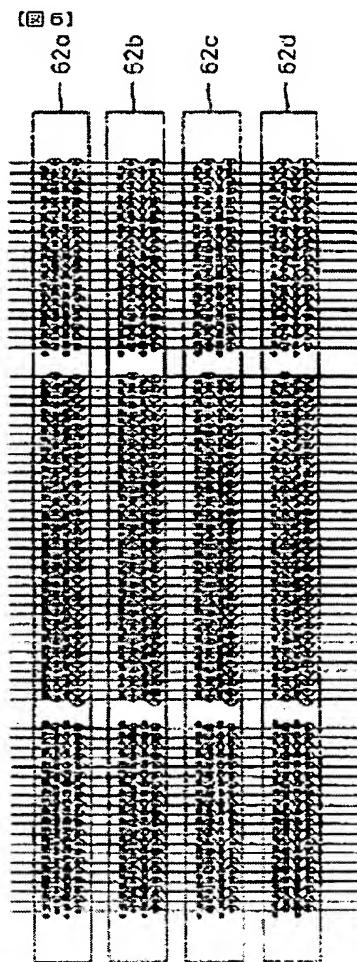


【图 3】



【5】





フロントページの続き

(72)発明者 李 相 元
大韓民国京畿道軍浦市山本洞1156-15番地
漢琴2次アパート421棟1803号

Fターム(参考) SB060 CA03 CC01 MM06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.